

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-31263

(P2000-31263A)

(43)公開日 平成12年1月28日 (2000.1.28)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 21/76

識別記号

F I

マークド(参考)

H 0 1 L 21/76

L 5 F 0 3 2

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21)出願番号 特願平10-192908

(22)出願日 平成10年7月8日 (1998.7.8)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 安間 正俊

東京都千代田区丸の内二丁目2番3号 三菱  
電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外3名)

Fターム(参考) 5F032 AA35 AA39 AA44 AA66 AA69

AA77 AA78 BB08 DA02 DA23

DA33 DA34 DA44 DA53 DA60

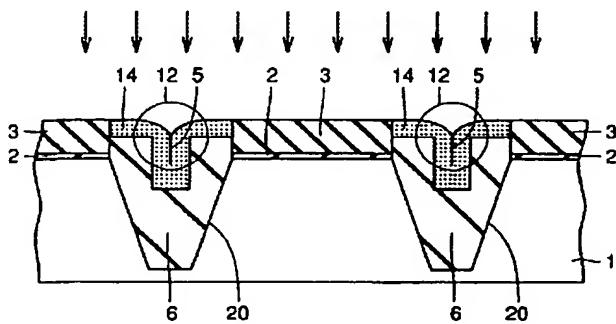
DA74

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 トレンチに形成された分離酸化膜の上にディンプルが残存することを防止し得る半導体装置およびその製造方法を提供する。

【解決手段】 イオン注入あるいは気相、液相、または、固相での熱酸化により、ホウ素等のガラス軟化点温度を低下させる軟化物質層14を、CVD酸化膜6の表面から所定の深さにかけて形成する。その後、CVD酸化膜6を熱処理して非密着面5近傍を溶解させることにより、ディンプル12を埋込む。それにより、CVD酸化膜6の表面を平坦化し、ディンプル12を有しない分離酸化膜9を形成する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 半導体基板にトレンチを形成し、該トレンチを埋込むように分離酸化膜を形成する工程と、前記分離酸化膜の表面から所定の深さにかけて、該分離酸化膜の軟化点を低下させる元素を分布させる工程と、前記分離酸化膜に熱処理を加える工程とを含む、半導体装置の製造方法。

【請求項2】 前記分離酸化膜の軟化点を低下させる元素からなる物質を分布させる方法が、イオン注入または熱拡散法によって行なわれる、請求項1に記載の半導体装置の製造方法。

【請求項3】 半導体基板に設けられたトレンチを埋込むように形成された分離酸化膜を備える半導体装置であって、

前記分離酸化膜の上部中央近傍のみに該分離酸化膜の軟化点を低下させる元素からなる物質を有する、半導体装置。

【請求項4】 半導体基板にトレンチを形成し、該トレンチを埋込むように分離酸化膜を形成する工程と、前記分離酸化膜の表面にシリコンを注入することにより、前記分離酸化膜の表面から所定の深さにかけてシリコンを分布させる工程と、前記分離酸化膜に熱処理を加える工程とを含む、半導体装置の製造方法。

【請求項5】 半導体基板にトレンチを形成し、該トレンチを埋込むように分離酸化膜を形成する工程と、前記分離酸化膜の上に非晶質シリコン膜を形成する工程と、

前記分離酸化膜および前記非晶質シリコン膜に熱処理を加える工程とを含む、半導体装置の製造方法。

【請求項6】 前記分離酸化膜を形成する工程が、CVD法によってCVD酸化膜を形成することにより行なわれる、請求項1、請求項2、請求項4および請求項5のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、特に、トレンチに埋込まれた分離酸化膜を備える半導体装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】 従来より、半導体基板にトレンチを形成し、このトレンチを分離酸化膜で埋込むことにより、素子形成領域の分離を行なう半導体装置の製造方法が行なわれている。以下、従来の半導体装置の製造方法を図16～図24に基づいて説明する。

【0003】 まず、シリコン基板101の表面から所定の深さにかけて、シリコン基板101の主表面を熱酸化することにより膜厚10nm～30nmのシリコン酸化膜102を形成する。次に、SiH<sub>2</sub>Cl<sub>2</sub>およびNH

3を用いて、温度条件630℃～800℃のCVD(Chemical Vapor Deposition)法により、シリコン酸化膜102の上に膜厚50nm～400nmのシリコン窒化膜103を形成する。その後、フォトリソグラフィ技術およびドライエッティング技術を用いることにより、トレンチ120を形成する。さらに、圧力条件1.2Torr～5Torr、温度条件630℃～720℃で珪酸エチルまたは珪酸エチルおよび酸素等を含む酸化性ガスを用いる熱CVD法により、CVD酸化膜104をトレンチ120を埋込みながら、シリコン窒化膜103の上にも形成する。このとき、トレンチ120の中央上部のCVD酸化膜104には、非密着面105が形成される(図16参照)。

【0004】 次に、図17に示すように、プラズマエッティングによるエッチバックまたはCMP(Chemical Mechanical Polishing)法による研磨等により、シリコン窒化膜103の表面が露出するまで、CVD酸化膜104を上部から除去する。その後、温度条件1000℃以上の水蒸気雰囲気で熱酸化処理を行なうことで、CVD酸化膜の緻密化を行なう。このとき、緻密化されたCVD酸化膜106、シリコン窒化膜103の側面が酸化された酸化膜107およびトレンチ開口上端部分でシリコン基板101が酸化された酸化膜108が形成される。

【0005】 次に、図18に示すように、シリコン窒化膜103を磷酸等を用いて除去する。その後、シリコン酸化膜102をフッ酸等を用いて除去することにより、図19に示すように、素子間を電気的に分離するための分離酸化膜109が形成される。次に、素子形成領域にゲート酸化膜110を形成する。その後、この分離酸化膜109およびMOSトランジスタが形成される素子形成領域のゲート酸化膜110の上を横断するように、たとえば、DRAM(Dynamic Random Access Memory)のワード線のような配線111を設けると、図20に示すような状態となる。

【0006】 しかしながら、上記の製造方法によって形成されたトレンチ120のアスペクト比が大きい場合、トレンチ120を埋込むように形成された分離酸化膜109の上部中央にディンプル112が発生することがある。このディンプル112の上を配線111が横断する場合、配線111が、薄膜であれば、このディンプル112のために配線111にも段差ができる、それにより、断線がある。また、配線111の形成時にディンプル112に沿って非晶質または多結晶質のシリコンのエッティング残渣を生じ、その残渣によって、隣接する配線111同士の間で短絡を生じる恐れがある。この問題点を解消する従来の方法として、たとえば、特開昭63-197355号公報に記載の技術がある。

【0007】 同公報に記載の技術においては、図16の状態でCVD酸化膜104を除去するときに、CVD酸化膜104の表面がシリコン基板101の表面より下側

になるまでエッチバックし、図21に示すようなCVD酸化膜106を形成する。次に、図22に示すように、トレンチ120の上部およびシリコン基板101を埋込むように多結晶シリコン膜115を形成する。その後、図23に示すように、多結晶シリコン膜115を熱酸化し、シリコン酸化膜116をCVD酸化膜106の上に形成する。次に、CMP法で研磨し、図24に示すように、CVD酸化膜106の上に、その表面が平坦化された分離酸化膜117を形成する。

## 【0008】

【発明が解決しようとする課題】しかしながら、上記特開昭63-197355号公報に記載の技術による分離酸化膜117を形成するための表面の平坦化工程では、図23に示すように、多結晶シリコン116を熱酸化する工程を有しており、通常、図22の状態で多結晶シリコン膜115をCVD酸化膜106の表面まで熱酸化するには長時間を要する。そのため、その長時間行なわれる熱酸化の工程において、トレンチ120を形作っているシリコン基板101表面の角部がさらに酸化され、図23に示すように、酸化膜108が形成されてしまう。そのため、特開昭63-197355号公報に記載の従来技術では、素子形成領域118の面積は小さくなり、トランジスタ等の活性領域が形成できない等の不都合を生じことがある。

【0009】本発明は、上記の問題点を解消するためになされたものであり、その目的は、素子形成領域の必要面積を確保でき、かつ、配線の断線または隣接する配線同士の短絡を防止するために、トレンチの表面中央にディンプルが残存することを抑制することである。

## 【0010】

【課題を解決するための手段】請求項1に記載の半導体装置の製造方法は、半導体基板にトレンチを形成し、トレンチを埋込むように分離酸化膜を形成する工程と、分離酸化膜の表面から所定の深さにかけて、この分離酸化膜の軟化点を低下させる元素を分布させる工程と、分離酸化膜に熱処理を加える工程とを含んでいる。

【0011】このような工程を有する半導体装置の製造方法においては、分離酸化膜の軟化点を低下させる元素からなる物質が分離酸化膜を熱処理により軟化させる工程で、分離酸化膜上部中央に発生したディンプルが溶解して、その窪みを埋むことができる。そのため、ディンプルを有することにより生じていた、分離酸化膜の上を横断する配線の断線および隣り合う配線同士の短絡を防止することが可能となる。

【0012】また、従来技術のように半導体基板の全面にわたって形成された多結晶シリコンを長時間熱処理する工程がないため、トレンチを形成するシリコン基板の表面角部が酸化されず、素子形成領域の面積を正確に確保することができる。

## 【0013】請求項1に記載の半導体装置の製造方法に

おける、分離酸化膜の軟化点を低下させる元素からなる物質を分布させる方法は、イオン注入または熱拡散法によって行うこともできる。

【0014】また、請求項1または請求項2に記載の製造方法により、請求項3のような構造、すなわち、半導体基板上に設けられたトレンチを埋込むように分離酸化膜の上部中央近傍にのみ、分離酸化膜の軟化点を低下させる物質が残存する構造を形成することができる。このような構造によれば、トレンチを埋込む分離酸化膜の全体にわたって、その軟化点を低下させる物質が分布する場合のような、その物質による分離耐圧の劣化をもたらすことがないという利点がある。

【0015】請求項4に記載の半導体装置の製造方法は、半導体基板にトレンチを形成し、このトレンチを埋込むように分離酸化膜を形成する工程と、分離酸化膜の表面にシリコンを注入することにより、分離酸化膜の表面から所定の深さにかけてシリコンを分布させる工程と、分離酸化膜に熱処理を加える工程とを含んでいる。

【0016】このような工程を有する半導体装置の製造方法においては、分離酸化膜の上に形成されたシリコンに熱処理を加える工程で、分離酸化膜上部中央に発生したディンプルが溶解することにより、その窪みを埋むことができる。そのため、ディンプルを有することにより生じていた分離酸化膜上部を横断する配線の断線および隣り合う配線同士の短絡を防止することが可能となる。

【0017】また、従来技術のように半導体基板の全面にわたって形成された多結晶シリコンを長時間熱処理する工程がないため、トレンチを形成するシリコン基板の表面角部が酸化されず、素子形成領域の面積を正確に確保することができる。

【0018】請求項5に記載の半導体装置の製造方法は、半導体基板にトレンチを形成し、トレンチを埋込むように分離酸化膜を形成する工程と、分離酸化膜の上に非晶質シリコン膜を形成する工程と、分離酸化膜および非晶質シリコン膜に熱処理を加える工程とを含んでいる。

【0019】このような工程を有する半導体装置の製造方法においては、分離酸化膜の上に形成された非晶質シリコン膜に熱処理を加える工程で、分離酸化膜上部中央に発生したディンプルの窪みを埋むことができる。そのため、ディンプルを有するために生じていた分離酸化膜上部を横断する配線の断線および隣り合う配線同士の短絡を防止することが可能となる。

【0020】また、非晶質シリコン膜が分離酸化膜の表面中央部にのみ形成されるため、従来技術のように長時間熱処理を加えることなく、トレンチに埋込まれたCVD酸化膜の表面中央に形成されたディンプルを平坦化することができる。それにより、トレンチを形成するシリコン基板の表面角部が酸化されず、素子形成領域の面積

を正確に確保することができる。さらに、非晶質シリコン膜は、その結晶構造が小さく、多結晶シリコン等よりもディンプルに入り込み易いため、ディンプルの埋込みにより適している。

【0021】請求項6に記載の半導体装置の製造方法は、請求項1、請求項2、請求項4または請求項5のいずれかに記載の半導体装置の製造方法において、分離酸化膜を形成する工程が、CVD法によってCVD酸化膜を形成することにより行なわれる。

【0022】上記従来技術のような問題点を有するディンプルは、CVD酸化膜により発生し易いため、請求項1、請求項2、請求項4または請求項5のいずれかに記載の半導体装置の製造方法を、トレンチを埋込む酸化膜がCVD酸化膜で形成される本発明の半導体装置の製造方法に用いることで、より効果的に配線の断線および配線同士の短絡を防止し得るという請求項1、請求項2、請求項4または請求項5に記載の半導体装置の製造方法の作用効果を利用することができる。

### 【0023】

【発明の実施の形態】以下、本発明の実施の形態を図に基づいて説明する。

【0024】(実施の形態1)まず、本発明の実施の形態1を図1～図6を用いて説明する。シリコン基板1を熱酸化することにより、シリコン基板1の表面から所定の深さにかけて膜厚10nm～30nmのシリコン酸化膜2を形成する。次に、SiH<sub>2</sub>C<sub>12</sub>およびNH<sub>3</sub>を用いて630℃～800℃の温度条件でCVD法によりシリコン酸化膜2の上に膜厚50nm～400nmのシリコン窒化膜3を形成する。その後、リソグラフィ技術によりレジスト膜をパターニングした後、ドライエッティング技術を用いて、シリコン基板1、シリコン酸化膜2およびシリコン窒化膜3を貫くようにトレンチを形成する。さらに、珪酸エチルまたは珪酸エチルおよび酸素を含む酸化性ガスを用い、630℃～720℃の温度条件で熱CVD法によりCVD酸化膜4をトレンチ20およびシリコン窒化膜3の上に形成し、図1に示す構造となる。

【0025】次に、図2に示すように、プラズマによるエッティングによるエッチバッカあるいはCMP法等の研磨により、シリコン窒化膜3の表面が露出するまでCVD酸化膜4を除去し、CVD酸化膜6を形成する。

【0026】次に、図3に示すように、イオン注入により、ホウ素等のガラス軟化点温度を低下させる物質を、CVD酸化膜6の上表面から所定の深さにかけて分布させた軟化物質層14を形成する。

【0027】その後、850℃以上の水蒸気雰囲気中で熱酸化処理を行なうことにより、軟化物質層14が軟化して非密着面5を密着させる。それにより、図4に示すように、分離酸化膜となるCVD酸化膜6の上部中央のディンプル12は、平坦化される。このとき、非密着面

5が密着化されたCVD酸化膜6、シリコン窒化膜3の側面が酸化された酸化膜7およびトレンチ開口上端部分において、シリコン基板1が酸化された酸化膜8が形成される。

【0028】次に、図5に示すように、シリコン窒化膜3を磷酸を用いて除去し、その後、シリコン酸化膜2をフッ酸を用いて除去することにより、素子間を電気的に分離するため分離酸化膜16が形成される。次に、分離酸化膜16の間の素子形成領域にゲート酸化膜10を形成する。次に、ゲート酸化膜10および分離酸化膜16上を横断するように配線11が形成され、図6に示すような構造となる。

【0029】このような製造方法を用いることにより、ディンプル12が残存する非密着面5を軟化させることができるために、図5および図6に示すように、分離酸化膜16の表面を比較的平坦にできる。そのため、配線11の断線および隣り合う配線11同士の短絡を防止することが可能となる。また、分離酸化膜16を軟化させるために用いたホウ素等の元素が、分離酸化膜16の上部中央にのみ残っているため、直接ホウ素等を含有するシリコン酸化膜等でトレンチ20を埋込む場合に比べて、分離耐圧が高く、トランジスタのチャネル濃度への影響を抑えた素子分離構造となっている。

【0030】さらに、従来技術のように堆積させた多結晶シリコンを長時間熱酸化する工程を含んでいないため、トレンチを形成するシリコン基板1の表面角部がさらに酸化され、その結果、酸化膜8は大きくならず、半導体装置は、素子形成領域の必要面積を確保することができる。

【0031】本実施の形態では、酸化膜の軟化点を低下するためにボロンをイオン注入することにより分布させたが、気相、液相、または、固相での熱拡散法により分布させてもよい。

【0032】(実施の形態2)次に、本発明の実施の形態2の半導体装置の製造方法を、図7～図10を用いて説明する。まず、実施の形態1と同様の工程によって、図2に示すように、半導体基板1、酸化膜2および窒化膜3を貫通するように形成されたトレンチ20にCVD酸化膜6を形成する。その後、図7に示すように、イオン注入により、CVD酸化膜6の上表面から所定の深さにかけてシリコンを注入し、シリコン過剰層18を形成する。このとき、イオン注入されたシリコンのエネルギーにより分子配列が再配列されて非密着面5は消失している。その後、950℃以上の水蒸気雰囲気で熱酸化処理を行なうことで、図8に示すように、シリコン過剰層18が酸化されてその表面は平坦になり、緻密化されたCVD酸化膜6が形成されるとともに、シリコン窒化膜3の側面が酸化された酸化膜7およびトレンチ20を形成するシリコン基板1の角部が酸化された酸化膜8が形成される。

【0033】次に、シリコン窒化膜3を磷酸を用いて除去し、その後、シリコン酸化膜2をフッ酸を用いて除去することにより、素子間を電気的に分離するため分離酸化膜16が形成される(図9参照)。次に、分離酸化膜16の間にゲート酸化膜10を形成する。次に、ゲート酸化膜10および分離酸化膜16の上を横断するように配線11が形成され、図10に示す構造となる。

【0034】このような製造方法を用いることにより、注入されたシリコンに熱処理を加えて、ディンプル12を形成する非密着面5を軟化させることができるために、分離酸化膜16の表面を平坦にすることができる。そのため、このような製造方法を用いることにより、上記実施の形態1に記載の半導体装置の製造方法と同様の効果が得られる。

【0035】また、従来技術のように、半導体基板の全面にわたって形成された多結晶シリコンに長時間熱処理を加える工程ではなく、トレンチに埋込まれたCVD酸化膜4の表面中央に形成されたディンプル12に熱処理を加えるだけで、CVD酸化膜4を平坦化することができる。それにより、トレンチ20を形成するシリコン基板1の表面角部が酸化された酸化膜8を素子形成領域の広い範囲にわたって形成せず、素子形成領域の必要面積を確保することができる。

【0036】(実施の形態3)実施の形態3の半導体装置の製造方法を図11~図15を用いて説明する。まず、実施の形態1と同様の工程によって、図2に示すように、半導体基板1、酸化膜2および窒化膜3を貫通するように形成されたトレンチ20およびシリコン窒化膜3の上にCVD酸化膜6を形成する。その後、図11に示すように、熱CVD法やスパッタ法等により、CVD酸化膜6の上に非晶質シリコン22を形成する。次に、図12に示すように、プラズマ等を利用したドライエッチングで非晶質シリコン膜22をエッチバックする。このとき、CVD酸化膜6の表面のディンプル12に非晶質シリコン膜22の残膜が残る。

【0037】その後、950℃以上の水蒸気雰囲気で熱酸化処理を行なうことで、図13に示すように、非晶質シリコン膜22が酸化されてシリコン酸化膜23が形成される。このとき同時に、緻密化されたCVD酸化膜6、シリコン窒化膜3の側面が酸化された酸化膜7およびトレンチ20を形成するシリコン基板1の角部に酸化膜8が形成される。次に、図14に示すように、シリコン窒化膜3を磷酸を用いて除去し、その後、シリコン酸化膜2をフッ酸を用いて除去することにより、素子間を電気的に分離するため分離酸化膜16が形成される。次に、分離酸化膜16の間にゲート酸化膜10を形成する。次に、ゲート酸化膜10および分離酸化膜16上を横断するように配線11が形成され、図15に示すような構造となる。

【0038】このような製造方法を用いることにより、

ディンプル12に埋込まれた非晶質シリコン膜22が酸化されてシリコン酸化膜23になることにより、分離酸化膜の表面は平坦化され、上記実施の形態2に記載の半導体装置の製造方法と同様の効果が得られる。

【0039】また、非晶質シリコン膜22が分離酸化膜6の表面中央部のみに形成されるため、長時間熱処理を加えることなく、トレンチ20に埋込まれたCVD酸化膜6の表面中央に形成されたディンプル12を平坦化することができる。それにより、トレンチ20を形成するシリコン基板1の表面角部がさらに酸化されず、素子形成領域の必要面積を確保することができる。さらに、非晶質シリコン膜22は、その結晶構造が小さく、ディンプル12の埋込みにより適しているため、空隙等が形成されにくく、より正確に平坦化できる。

【0040】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0041】

【発明の効果】請求項1または請求項2に記載の半導体装置の製造方法によれば、分離酸化膜の軟化点を低下させる元素からなる物質が分離酸化膜を軟化させる工程で、分離酸化膜上部中央に発生したディンプルを埋込むことができる。そのため、ディンプルを有することにより生じていた、分離酸化膜上部を横断する配線の断線および隣り合う配線同士の短絡を防止し得る半導体装置を提供することができる。

【0042】また、請求項1または請求項2に記載の製造方法によれば、請求項3に記載のような、分離酸化膜の軟化点を低下させる物質による分離耐圧の劣化を生じることのない半導体装置のトレンチ構造を形成することができる。

【0043】請求項4に記載の半導体装置の製造方法によれば、分離酸化膜の上に形成されたシリコンに熱処理を加える工程で、分離酸化膜上部中央に発生したディンプルの瘤を埋込むことができる。そのため、ディンプルを有することにより生じていた、分離酸化膜上部を横断する配線の断線および隣り合う配線同士の短絡を防止し、かつ、素子形成領域の必要面積を確保することができる。

【0044】請求項5に記載の半導体装置の製造方法によれば、分離酸化膜の上に形成された非晶質シリコン膜に熱処理を加える工程で、分離酸化膜上部中央に発生したディンプルを埋込むことができる。そのため、ディンプルを有するために生じていた分離酸化膜上部を横断する配線の断線および隣り合う配線同士の短絡を防止し、かつ、素子形成領域の必要面積を確保することができる。さらに、非晶質シリコンは、その結晶構造が小さ

く、多結晶シリコン等よりもディンプルに入り込み易いため、ディンプルの埋込みにより適している。

【0045】請求項6に記載の半導体装置の製造方法によれば、請求項1、請求項2、請求項4または請求項5のいずれかに記載の半導体装置の製造方法をCVD酸化膜が形成される本発明の半導体装置の製造方法に用いることで、より効果的に配線の断線および配線同士の短絡を防止し得る。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の製造方法において、トレンチにCVD酸化膜を形成した直後の状態の断面を示す図である。

【図2】 本発明の実施の形態1における半導体装置の製造方法において、CVD酸化膜をエッチバックした直後の状態の断面を示す図である。

【図3】 本発明の実施の形態1における半導体装置の製造方法において、分離酸化膜のガラス軟化点を低下させるためにホウ素をイオン注入した直後の状態の断面を示す図である。

【図4】 本発明の実施の形態1における半導体装置の製造方法において、ガラス軟化点を低下させるホウ素を含む分離酸化膜を熱処理し非密着面を融合させた直後の状態の断面を示す図である。

【図5】 本発明の実施の形態1における半導体装置の製造方法において、シリコン酸化膜およびシリコン窒化膜を除去した直後の状態の断面を示す図である。

【図6】 本発明の実施の形態1における半導体装置の製造方法において、配線が素子形成領域および分離酸化膜の上を横断した状態の断面を示す図である。

【図7】 本発明の実施の形態2における半導体装置の製造方法において、シリコンを注入した直後の状態の断面を示す図である。

【図8】 本発明の実施の形態2における半導体装置の製造方法において、シリコンを含む分離酸化膜を熱処理した直後の状態の断面を示す図である。

【図9】 本発明の実施の形態2における半導体装置の製造方法において、シリコン酸化膜およびシリコン窒化膜をエッティングした直後の状態の断面を示す図である。

【図10】 本発明の実施の形態2における半導体装置の製造方法において、素子形成領域および分離酸化膜の上を横断する配線を形成した直後の状態の断面を示す図である。

【図11】 本発明の実施の形態3における半導体装置の製造方法において、非晶質シリコン膜を形成した直後の状態の断面を示す図である。

【図12】 本発明の実施の形態3における半導体装置の製造方法において、非晶質シリコン膜をエッパックし

た直後の状態の断面を示す図である。

【図13】 本発明の実施の形態3における半導体装置の製造方法において、非晶質シリコン膜を熱処理した直後の状態の断面を示す図である。

【図14】 本発明の実施の形態3における半導体装置の製造方法において、シリコン酸化膜およびシリコン窒化膜を除去した直後の状態の断面を示す図である。

【図15】 本発明の実施の形態3における半導体装置の製造方法において、素子形成領域および分離酸化膜の上を配線が横断した直後の状態の断面を示す図である。

【図16】 従来の半導体装置の製造方法において、トレンチにCVD酸化膜を形成した直後の状態の断面を示す図である。

【図17】 従来の半導体装置の製造方法において、CVD酸化膜をエッチバックした直後の状態の断面を示す図である。

【図18】 従来の半導体装置の製造方法において、シリコン窒化膜を除去した直後の状態の断面を示す図である。

【図19】 従来の半導体装置の製造方法において、シリコン酸化膜を除去した直後の状態の断面を示す図である。

【図20】 従来の半導体装置の製造方法において、配線が素子形成領域および分離酸化膜の上を横断した直後の状態の断面を示す図である。

【図21】 特開昭63-197355号公報に記載の半導体装置の製造方法において、CVD酸化膜をエッチバックした直後の状態の断面を示す図である。

【図22】 特開昭63-197355号公報に記載の半導体装置の製造方法において、分離酸化膜および半導体基板の上に多結晶シリコンを形成した直後の状態を示す図である。

【図23】 特開昭63-197355号公報に記載の半導体装置の製造方法において、多結晶シリコンを酸化することにより、シリコン酸化膜を形成した直後の状態を示す図である。

【図24】 特開昭63-197355号公報に記載の半導体装置の製造方法において、シリコン酸化膜をエッチバックし、分離酸化膜を形成した直後の状態を示す図である。

【符号の説明】

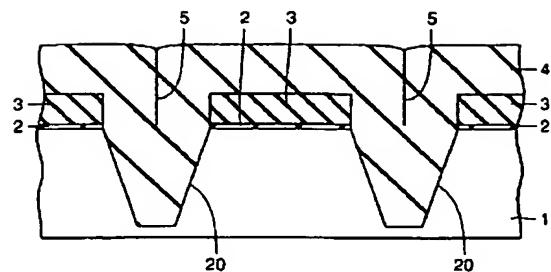
- 1 シリコン基板、2, 23 シリコン酸化膜、3 シリコン窒化膜、4, 6 CVD酸化膜、5 非密着面、7, 8 酸化膜、9, 16 分離酸化膜、10 ゲート酸化膜、11 配線、12 ディンプル、14 軟化物質層、18 シリコン過剰層、22 非晶質シリコン膜。

# REST AVAILABLE COPY

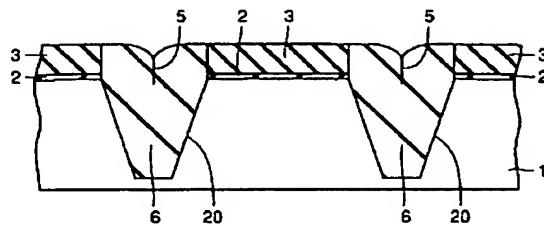
(7)

特開2000-31263

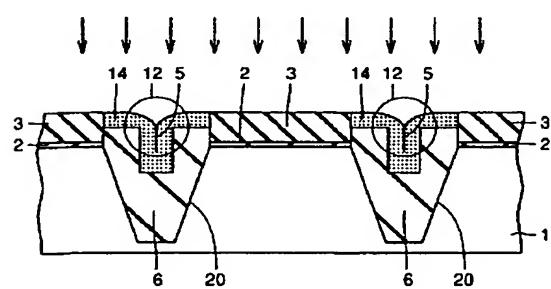
【図1】



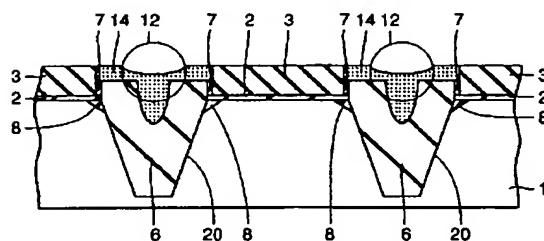
【図2】



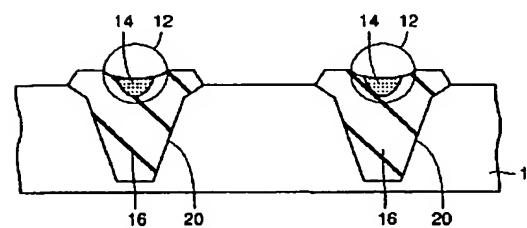
【図3】



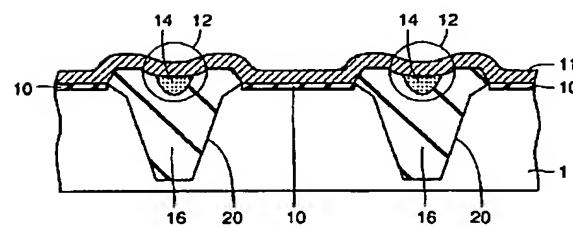
【図4】



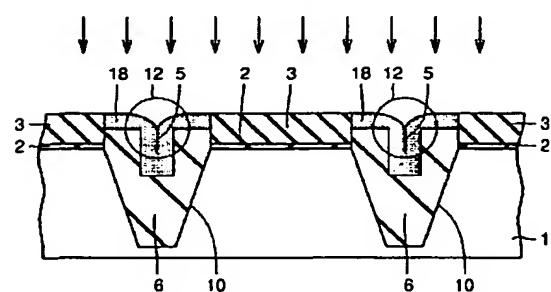
【図5】



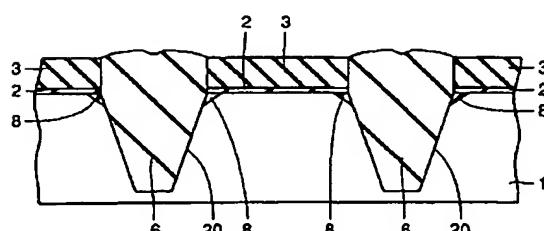
【図6】



【図7】



【図8】

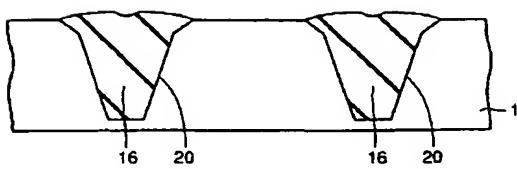


# BEST AVAILABLE COPY

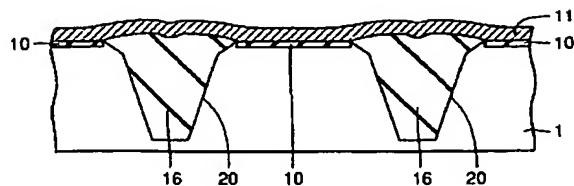
(8)

特開2000-31263

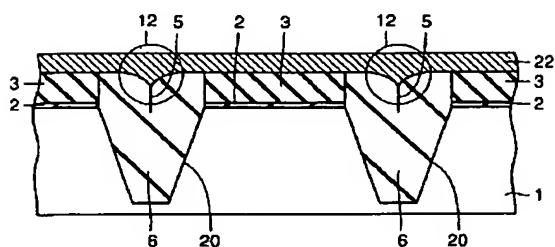
【図9】



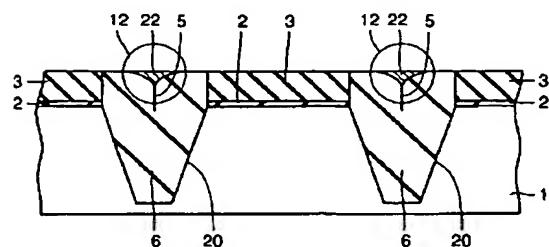
【図10】



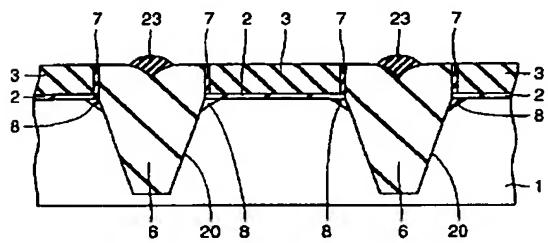
【図11】



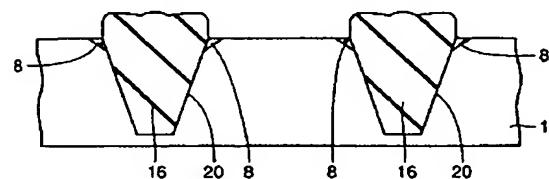
【図12】



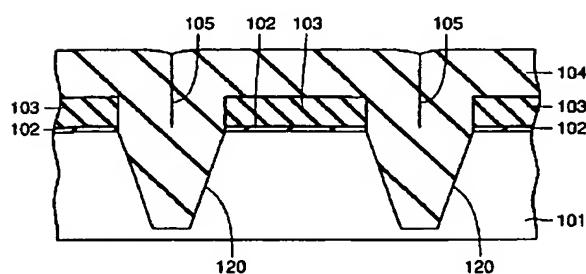
【図13】



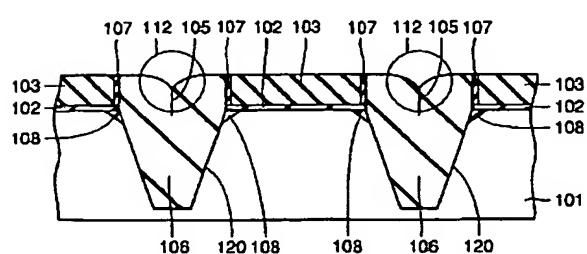
【図14】



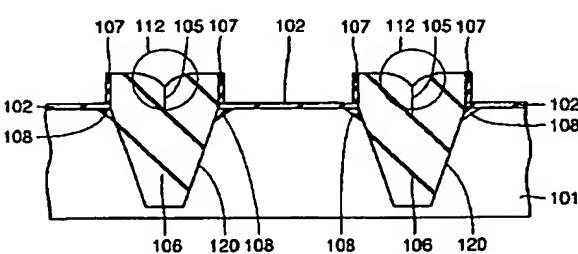
【図16】



【図17】



【図18】

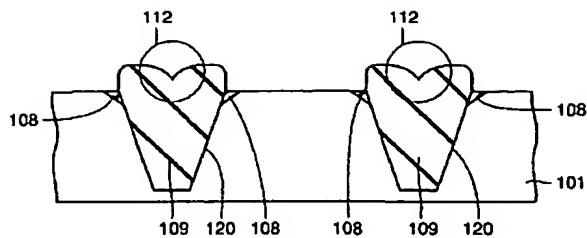


BEST AVAILABLE COPY

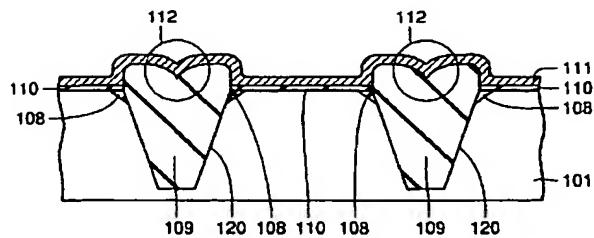
(9)

特開2000-31263

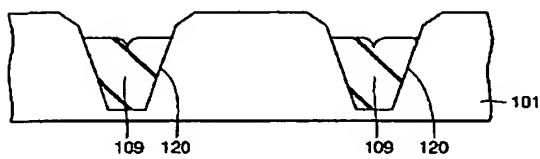
【図19】



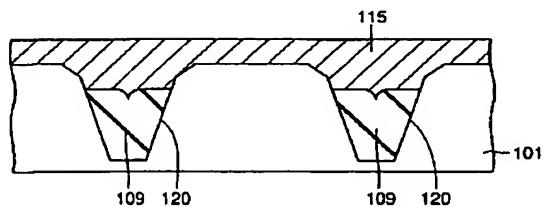
【図20】



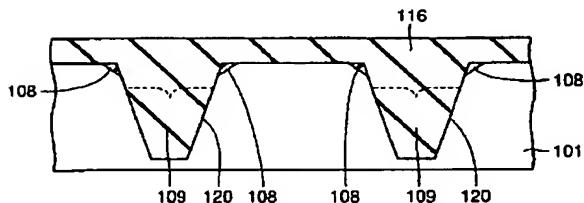
【図21】



【図22】



【図23】



【図24】

